

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-354815

(43)Date of publication of application : 24.12.1999

(51)Int.Cl. H01L 29/80  
G01R 31/26  
H01L 21/66  
H01L 29/00  
H03F 3/16

(21)Application number : 10-160763

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.06.1998

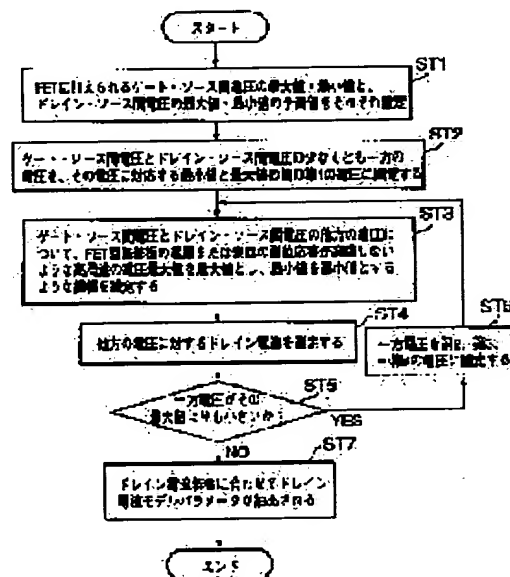
(72)Inventor : MORITSUKA MAYUMI

# (54) METHOD OF EXTRACTING COMPOUND SEMICONDUCTOR FET PARAMETERS AND CIRCUIT SIMULATOR USING THE METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To make the element development efficient by having the simulation result accurately agree with measured values, to drastically reduce the element developing time and the experimental lot circuit number.

**SOLUTION:** A step ST1 for setting predictors of maximum and minimum gate voltage and maximum and minimum drain voltages of an FET, ST2 for fixing one of the gate voltage and drain voltage to a first voltage between the maximum and the minimum values, ST3 for setting the amplitude of the other voltage so that a maximum voltage at high frequency, at which the level response in or surface of a circuit board no longer follows is a maximum of the other voltage and minimum value of a high frequency signal is the minimum value of the other voltage, ST4 for measuring the drain current to the other voltage characteristics after amplitude setting, ST6 for fixing the one voltage to a second voltage having specified relation to the first voltage, when the one voltage is less than the maximum value in its predictor, and ST7 for repeating the amplitude setting of the other voltage and drain current measurement to extract current model parameters in matching with the drain current characteristics when the one voltage is not less than the maximum value are comprised.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354815

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl. <sup>6</sup>	識別記号	F I
H 0 1 L 29/80		H 0 1 L 29/80 Z
G 0 1 R 31/26		G 0 1 R 31/26 B
H 0 1 L 21/66		H 0 1 L 21/66 V
29/00		29/00
H 0 3 F 3/16		H 0 3 F 3/16 Z

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平10-180763

(22) 出願日 平成10年(1998)6月9日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 森 塚 真由美

神奈川県川崎市幸区小向東芝町 1 株式会

社東芝研究開発センター内

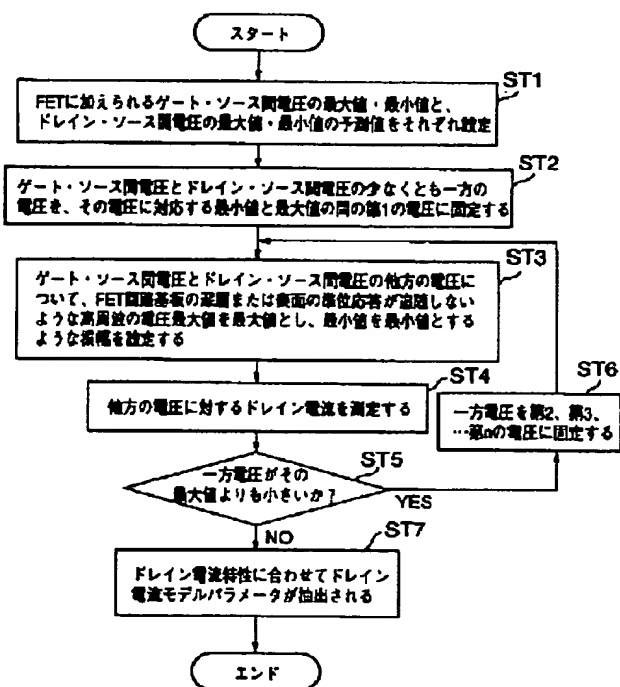
(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

(54) 【発明の名称】 化合物半導体 F E T のパラメータ抽出方法およびこの方法を用いた回路シミュレーション装置

(57) 【要約】

【課題】 シミュレーション結果と実測値とを精度良く一致させて素子開発期間の大幅な短縮と試作ロット回数の削減により素子開発の効率化を図る。

【解決手段】 F E T のゲート電圧の最大値・最小値とドレイン電圧の最大値・最小値の予測値を設定し、ゲート電圧とドレイン電圧の一方を最小値と最大値の間の第 1 電圧に固定し、他方電圧について回路の基板の内部または表面の準位応答が追従しない高周波数の電圧の最大値が他方電圧の最大値となり高周波信号の最小値が他方電圧の最小値となる振幅を設定し、振幅設定後の他方電圧に対するドレイン電流の特性を測定し、一方電圧がその予測値における最大値よりも小さい場合に一方電圧を第 1 電圧と所定関係の第 2 電圧に固定して他方電圧の振幅設定とドレイン電流測定とを繰り返し、一方電圧が最大値より小さくない場合にドレイン電流特性に合わせて電流モデルパラメータを抽出する。



## 【特許請求の範囲】

【請求項1】化合物半導体FETを用いて設計しようとする回路の内部で該FETに加えられるゲート・ソース間電圧の最大値・最小値とドレイン・ソース間電圧の最大値・最小値のそれぞれ予測値を設定するステップと、前記ゲート・ソース間電圧およびドレイン・ソース間電圧の少なくとも一方の電圧について、その電圧に対応する最小値と最大値の間の第1の電圧に固定するステップと、

前記ゲート・ソース間電圧およびドレイン・ソース間電圧の他方について、前記回路の基板の内部または表面の準位応答が追従しないような高周波数の電圧の最大値がその他方電圧の最大値となり、前記高周波数の電圧の最小値がその他方電圧の最小値となるような振幅を設定するステップと、

前記振幅が設定された前記他方電圧に対するドレイン電流の特性を測定するステップと、

前記一方の電圧がその電圧の予測値における前記最大値よりも小さい場合に前記一方の電圧を前記第1の電圧と所定関係にある第2の電圧に固定して前記他方の電圧の振幅の設定と、前記ドレイン電流の測定とを繰り返すステップと、

前記一方の電圧がその電圧の予測値における前記最大値よりも小さくない場合にそのドレイン電流の特性に合わせてドレイン電流モデルのパラメータを抽出するステップと、

を備えることを特徴とする化合物半導体FETのパラメータ抽出方法。

【請求項2】化合物半導体FETを用いて設計しようとする回路の内部で該FETに加えられるゲート・ソース間電圧の最大値・最小値とドレイン・ソース間電圧の最大値・最小値のそれぞれ予測値を設定し、前記ゲート・ソース間電圧を最小値と最大値の間の第1の電圧に固定し、前記ドレイン・ソース間電圧について前記回路の基板内部の準位応答が追従しないような高周波数の電圧の最大値がその最大値となり前記高周波数の電圧の最小値がその最小値となるような振幅を設定し、前記振幅が設定された前記ドレイン・ソース間電圧に対するドレイン電流の特性を測定し、前記ゲート・ソース電圧がその最大値よりも小さい場合に該ゲート・ソース電圧を前記第1の電圧と所定関係にある第2の電圧に固定して前記ドレイン・ソース間電圧の振幅の設定と前記ドレイン電流の測定とを繰り返し、前記ゲート・ソース間電圧がその最大値よりも小さくない場合に前記ドレイン電流の特性に合わせてドレイン電流モデルのパラメータを抽出することを特徴とする請求項1に記載の化合物半導体FETのパラメータ抽出方法。

【請求項3】化合物半導体FETを用いて設計しようとする回路の内部で該FETに加えられるゲート・ソース間電圧の最大値・最小値とドレイン・ソース間電圧の最

大値・最小値のそれぞれ予測値を設定し、前記ドレイン・ソース間電圧を最小値と最大値の間の第1の電圧に固定し、前記ゲート・ソース間電圧について前記回路の基板表面の準位応答が追従しないような高周波数の電圧の最大値がその最大値となり前記高周波数の電圧の最小値がその最小値となるような振幅を設定し、前記振幅が設定された前記ゲート・ソース間電圧に対するドレイン電流の特性を測定し、前記ドレイン・ソース電圧がその最大値よりも小さい場合に該ドレイン・ソース電圧を前記第1の電圧と所定関係にある第2の電圧に固定して前記ゲート・ソース間電圧の振幅の設定と前記ドレイン電流の測定とを繰り返し、前記ドレイン・ソース間電圧がその最大値よりも小さくない場合に前記ドレイン電流の特性に合わせてドレイン電流モデルのパラメータを抽出することを特徴とする請求項1に記載の化合物半導体FETのパラメータ抽出方法。

【請求項4】化合物半導体FETを用いて設計しようとする回路の内部で該FETに加えられるゲート・ソース間電圧の最大値・最小値とドレイン・ソース間電圧の最大値・最小値のそれぞれ予測値を設定し、前記ゲート・ソース間電圧を最小値と最大値の間の第1の電圧に固定し、前記ドレイン・ソース間電圧について前記回路の基板内部の準位応答が追従しないような高周波数の電圧の最大値がその最大値となり前記高周波数の電圧の最小値がその最小値となるような振幅を設定し、前記振幅が設定された前記ドレイン・ソース間電圧に対するドレイン電流の特性を測定し、前記ゲート・ソース電圧がその最大値よりも小さい場合に該ゲート・ソース電圧を前記第1の電圧と所定関係にある第2の電圧に固定して前記ドレイン・ソース間電圧の振幅の設定と前記ドレイン電流の測定とを繰り返し、前記ゲート・ソース間電圧がその最大値よりも小さくない場合に前記ドレイン・ソース電圧に対する前記前記ドレイン電流の特性に合わせてドレイン電流モデルのパラメータを抽出し、前記ドレイン・ソース間電圧を最小値と最大値の間の第3の電圧に固定し、前記ゲート・ソース間電圧について前記回路の基板表面の準位応答が追従しないような高周波数の電圧の最大値がその最大値となり前記高周波数の電圧の最小値がその最小値となるような振幅を設定し、前記振幅が設定された前記ゲート・ソース間電圧に対するドレイン電流の特性を測定し、前記ドレイン・ソース電圧がその最大値よりも小さい場合に該ドレイン・ソース電圧を前記第3の電圧と所定関係にある第4の電圧に固定して前記ゲート・ソース間電圧の振幅の設定と前記ドレイン電流の測定とを繰り返し、前記ドレイン・ソース間電圧がその最大値よりも小さくない場合に前記ゲート・ソース電圧に対する前記ドレイン電流の特性に合わせてドレイン電流モデルのパラメータを抽出することを特徴とする請求項1に記載の化合物半導体FETのパラメータ抽出方法。

【請求項 5】化合物半導体 F E T を用いて設計しようとする回路の内部で該 F E T に加えられるゲート・ソース間電圧の最大値・最小値とドレイン・ソース間電圧の最大値・最小値のそれぞれ予測値を設定する電圧範囲設定手段と、

前記ゲート・ソース間電圧およびドレイン・ソース間電圧の少なくとも一方の電圧について、その電圧に対応する最小値と最大値の間の第 1 の電圧に固定し、前記ゲート・ソース間電圧およびドレイン・ソース間電圧の他方について、前記回路の基板内部又は表面の準位応答が追

随しないような高周波数の電圧の最大値がその他方電圧の最大値となり、前記高周波数の電圧の最小値がその他方電圧の最小値となるような振幅を設定する振幅設定手段と、

前記振幅が設定された前記他方電圧に対するドレイン電流の特性を測定する測定手段と、  
前記一方の電圧がその電圧の予測値における前記最大値よりも小さい場合に前記一方の電圧を前記第 1 の電圧と所定関係にある第 2 の電圧に固定して前記他方の電圧の

振幅の設定と、前記ドレイン電流の測定とを繰り返すシミュレーション実行手段と、  
前記一方の電圧がその電圧の予測値における前記最大値よりも小さくない場合にそのドレイン電流の特性に合わせてドレイン電流モデルのパラメータを抽出する抽出手段と、

を備えることを特徴とする化合物半導体 F E T のパラメータ抽出方法を用いた回路シミュレーション装置。

【請求項 6】前記振幅設定手段は、ドレイン・ソース間電圧を設定することを特徴とする請求項 5 に記載の化合物半導体 F E T のパラメータ抽出方法を用いた回路シミュレーション装置。

【請求項 7】前記振幅設定手段は、ゲート・ソース間電圧を設定することを特徴とする請求項 5 に記載の化合物半導体 F E T のパラメータ抽出方法を用いた回路シミュレーション装置。

【請求項 8】前記振幅設定手段は、ドレイン・ソース間電圧およびゲート・ソース電圧の両方を設定することを特徴とする請求項 5 に記載の化合物半導体 F E T のパラメータ抽出方法を用いた回路シミュレーション装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は化合物半導体 F E T のパラメータ抽出方法およびこの方法を用いた回路シミュレーション装置に関する。

【0002】

【従来の技術】近年、G a A s (ガリウム砒素)等の化合物半導体を用いて形成した電界効果トランジスタ (F E T—Field Effect Transistor—) は、高周波のパワーアンプやスイッチ等に応用されており、最近では整合回路を含めた集積回路 (I C) 化が行なわれている。こ

のような化合物半導体 F E T を含む回路の設計には精度の高い F E T モデルが不可欠である。このような技術分野において、ドレイン電流モデルについては様々な電流モデルが提案されており、従来、これらのモデルに対して D C 測定のドレイン電流を再現するようにモデルパラメータの値を設定していた。

【0003】しかしながら、G a A s の化合物半導体基板内には、高濃度の深い準位が含まれており、表面には高密度の表面準位が存在している。このため、D C 測定で得られたドレイン電流値と、ゲートまたはドレインに A C 電圧を供給して測定した電流値とは異なる値となることが知られている。この現象はドレインラグ、ゲートラグまたはドレイン電流の周波数分散などと呼ばれている。

【0004】したがって、数 M H z 以上で F E T を動作させる回路を設計する場合に、D C 測定により求められたドレイン電流に基づいてパラメータを設定したモデルを用いると、回路シミュレーションの結果と実測値との間に大きなずれが発生してしまうことになる。

【0005】

【発明が解決しようとする課題】従来の化合物半導体 F E T のパラメータ抽出方法によれば、D C 測定によるドレイン電流のみに基づいてトランジスタの電流モデルのパラメータを設定していたので、ドレイン／ゲート・ラグやドレイン電流の周波数分散により実際の動作環境とは異なる値のパラメータが設定されてしまうという問題があった。

【0006】本発明は、高周波の大信号により動作する F E T を用いた回路のモデルパラメータを設定する際にシミュレーション結果と実測値とが精度良く一致する化合物半導体 F E T のパラメータ抽出方法、およびこの方法を用いた回路シミュレーション装置を提供することを目的としている。

【0007】

【課題を解決するための手段】上記目的を達成するため、請求項 1 に係る化合物半導体 F E T のパラメータ抽出方法は、化合物半導体 F E T を用いて設計しようとする回路の内部で該 F E T に加えられるゲート・ソース間電圧の最大値・最小値とドレイン・ソース間電圧の最大値・最小値のそれぞれ予測値を設定するステップと、前記ゲート・ソース間電圧およびドレイン・ソース間電圧の少なくとも一方の電圧について、その電圧に対応する最小値と最大値の間の第 1 の電圧に固定するステップと、前記ゲート・ソース間電圧およびドレイン・ソース間電圧の他方について、前記回路の基板の内部または表面の準位応答が追随しないような高周波数の電圧の最大値がその他方電圧の最大値となり、前記高周波数の電圧の最小値がその他方電圧の最小値となるような振幅を設定するステップと、前記振幅が設定された前記他方電圧に対するドレイン電流の特性を測定するステップと、前

記一方の電圧がその電圧の予測値における前記最大値よりも小さい場合に前記一方の電圧を前記第1の電圧と所定関係にある第2の電圧に固定して前記他方の電圧の振幅の設定と、前記ドレイン電流の測定とを繰り返すステップと、前記一方の電圧がその電圧の予測値における前記最大値よりも小さくない場合にそのドレイン電流の特性に合わせてドレイン電流モデルのパラメータを抽出するステップと、を備えることを特徴としている。

【0008】また、請求項2に係る化合物半導体FETのパラメータ抽出方法は、請求項1に記載のものにおいて、化合物半導体FETを用いて設計しようとする回路の内部で該FETに加えられるゲート・ソース間電圧の最大値・最小値とドレイン・ソース間電圧の最大値・最小値のそれぞれ予測値を設定し、前記ゲート・ソース間電圧を最小値と最大値の間の第1の電圧に固定し、前記ドレイン・ソース間電圧について前記回路の基板内部の準位応答が追従しないような高周波数の電圧の最大値がその最大値となり前記高周波数の電圧の最小値がその最小値となるような振幅を設定し、前記振幅が設定された前記ドレイン・ソース間電圧に対するドレイン電流の特性を測定し、前記ゲート・ソース電圧がその最大値よりも小さい場合に該ゲート・ソース電圧を前記第1の電圧と所定関係にある第2の電圧に固定して前記ドレイン・ソース間電圧の振幅の設定と前記ドレイン電流の測定とを繰り返し、前記ゲート・ソース間電圧がその最大値よりも小さくない場合に前記ドレイン電流の特性に合わせてドレイン電流モデルのパラメータを抽出することを特徴としている。

【0009】また、請求項3に係る化合物半導体FETのパラメータ抽出方法は、請求項1に記載のものにおいて、化合物半導体FETを用いて設計しようとする回路の内部で該FETに加えられるゲート・ソース間電圧の最大値・最小値とドレイン・ソース間電圧の最大値・最小値のそれぞれ予測値を設定し、前記ドレイン・ソース間電圧を最小値と最大値の間の第1の電圧に固定し、前記ゲート・ソース間電圧について前記回路の基板表面の準位応答が追従しないような高周波数の電圧の最大値がその最大値となり前記高周波数の電圧の最小値がその最小値となるような振幅を設定し、前記振幅が設定された前記ゲート・ソース間電圧に対するドレイン電流の特性を測定し、前記ドレイン・ソース電圧がその最大値よりも小さい場合に該ドレイン・ソース電圧を前記第1の電圧と所定関係にある第2の電圧に固定して前記ゲート・ソース間電圧の振幅の設定と前記ドレイン電流の測定とを繰り返し、前記ドレイン・ソース間電圧がその最大値よりも小さくない場合に前記ドレイン電流の特性に合わせてドレイン電流モデルのパラメータを抽出することを特徴としている。

【0010】また、請求項4に係る化合物半導体FETのパラメータ抽出方法は、請求項1に記載のものにおい

て、化合物半導体FETを用いて設計しようとする回路の内部で該FETに加えられるゲート・ソース間電圧の最大値・最小値とドレイン・ソース間電圧の最大値・最小値のそれぞれ予測値を設定し、前記ゲート・ソース間電圧を最小値と最大値の間の第1の電圧に固定し、前記ドレイン・ソース間電圧について前記回路の基板内部の準位応答が追従しないような高周波数の電圧の最大値がその最大値となり前記高周波数の電圧の最小値がその最小値となるような振幅を設定し、前記振幅が設定された前記ドレイン・ソース間電圧に対するドレイン電流の特性を測定し、前記ゲート・ソース電圧がその最大値よりも小さい場合に該ゲート・ソース電圧を前記第1の電圧と所定関係にある第2の電圧に固定して前記ドレイン・ソース間電圧の振幅の設定と前記ドレイン電流の測定とを繰り返し、前記ゲート・ソース間電圧がその最大値よりも小さくない場合に前記ドレイン・ソース電圧に対する前記前記ドレイン電流の特性に合わせてドレイン電流モデルのパラメータを抽出し、前記ドレイン・ソース間電圧を最小値と最大値の間の第3の電圧に固定し、前記ゲート・ソース間電圧について前記回路の基板表面の準位応答が追従しないような高周波数の電圧の最大値がその最大値となり前記高周波数の電圧の最小値がその最小値となるような振幅を設定し、前記振幅が設定された前記ゲート・ソース間電圧に対するドレイン電流の特性を測定し、前記ドレイン・ソース電圧がその最大値よりも小さい場合に該ドレイン・ソース電圧を前記第3の電圧と所定関係にある第4の電圧に固定して前記ゲート・ソース間電圧の振幅の設定と前記ドレイン電流の測定とを繰り返し、前記ドレイン・ソース間電圧がその最大値よりも小さくない場合に前記ゲート・ソース電圧に対する前記ドレイン電流の特性に合わせてドレイン電流モデルのパラメータを抽出することを特徴としている。

【0011】さらに、請求項5に係る化合物半導体FETのパラメータ抽出方法を用いた回路シミュレーション装置は、化合物半導体FETを用いて設計しようとする回路の内部で該FETに加えられるゲート・ソース間電圧の最大値・最小値とドレイン・ソース間電圧の最大値・最小値のそれぞれ予測値を設定する電圧範囲設定手段と、前記ゲート・ソース間電圧およびドレイン・ソース間電圧の少なくとも一方の電圧について、その電圧に対応する最小値と最大値の間の第1の電圧に固定し、前記ゲート・ソース間電圧およびドレイン・ソース間電圧の他方について、前記回路の基板内部又は表面の準位応答が追従しないような高周波数の電圧の最大値がその他方電圧の最大値となり、前記高周波数の電圧の最小値がその他方電圧の最小値となるような振幅を設定する振幅設定手段と、前記振幅が設定された前記他方電圧に対するドレイン電流の特性を測定する測定手段と、前記一方の電圧がその電圧の予測値における前記最大値よりも小さい場合に前記一方の電圧を前記第1の電圧と所定関係に

ある第2の電圧に固定して前記他方の電圧の振幅の設定と、前記ドレイン電流の測定とを繰り返すシミュレーション実行手段と、前記一方の電圧がその電圧の予測値における前記最大値よりも小さくない場合にそのドレイン電流の特性に合わせてドレイン電流モデルのパラメータを抽出する抽出手段と、を備えることを特徴としている。

【0012】また、請求項6に係る化合物半導体FETのパラメータ抽出方法を用いた回路シミュレーション装置は、請求項5に記載のものにおいて、前記振幅設定手段がドレイン・ソース間電圧を設定することを特徴としている。

【0013】また、請求項7に係る化合物半導体FETのパラメータ抽出方法を用いた回路シミュレーション装置は、請求項5に記載のものにおいて、前記振幅設定手段がゲート・ソース間電圧を設定することを特徴としている。

【0014】また、請求項8に係る化合物半導体FETのパラメータ抽出方法を用いた回路シミュレーション装置は、請求項5に記載のものにおいて、前記振幅設定手段がドレイン・ソース間電圧およびゲート・ソース電圧の両方を設定することを特徴としている。

【0015】

【発明の実施の形態】以下、本発明に係る化合物半導体FETのパラメータ抽出方法およびこの方法を用いた回路シミュレーション装置の好適な実施の形態について添付図面を参照しながら詳細に説明する。まず、図1を参照して、本発明の基本概念に相当する第1実施形態に係る化合物半導体FETのパラメータ抽出方法を説明する。図1において、第1実施形態のパラメータ抽出方法は、第1のステップST1ないし第7のステップST7により化合物半導体FETのドレイン電流モデルパラメータを抽出している。

【0016】第1のステップST1は、化合物半導体FETを用いて設計しようとする回路の内部で該FETに加えられるゲート・ソース間電圧の最大値・最小値とドレイン・ソース間電圧の最大値・最小値のそれぞれ予測値を設定する。第2のステップST2は、前記ゲート・ソース間電圧およびドレイン・ソース間電圧の少なくとも一方の電圧について、その電圧に対応する最小値と最大値の間の第1の電圧に固定する。

【0017】第3のステップST3については、前記ゲート・ソース間電圧およびドレイン・ソース間電圧の他方について、前記回路の基板の内部または表面の準位応答が追従しないような高周波数の電圧の最大値がその他方電圧の最大値となり、前記高周波数の電圧の最小値がその他方電圧の最小値となるような振幅を設定する。第4のステップST4は、前記振幅が設定された前記他方電圧に対するドレイン電流の特性を測定する。

【0018】第5のステップST5においては、前記一

方の電圧がその電圧の予測値における前記最大値よりも小さいか否かを判定する。ステップST5において、前記一方の電圧が前記最大値より小さい場合には、第6のステップST6において、前記一方の電圧として固定された前記第1の電圧と所定関係にある第2の電圧に固定してステップST3の前記他方の電圧の振幅の設定を行なう。第2の電圧でもステップST5の条件が満たされない場合には、第3、…、第nの電圧に固定して条件が満たされるまで繰り返される。

10 【0019】第5のステップST5において、前記一方の電圧がその電圧の予測値における前記最大値よりも小さくないものと判断された場合には、第7のステップST7において、そのドレイン電流の特性に合わせてドレイン電流モデルのパラメータが抽出されることになる。

【0020】上記第1実施形態に係る化合物半導体FETのドレイン電流パラメータ抽出方法においては、最初に固定する一方の電圧がゲート・ソース電圧であってもドレイン・ソース電圧であってもよいものとして説明したが、具体的には一方の電圧をゲート・ソース電圧とすれば他方の電圧はドレイン・ソース電圧であることになり、その逆に一方の電圧をドレイン・ソース間電圧であるものとすれば、他方の電圧はゲート・ソース間電圧であるということになる。

【0021】図2に示す第2実施形態に係るドレイン電流パラメータの抽出方法は、固定される一方側の電圧と振幅が設定される他方側の電圧とを具体的に定めたものである。図2において、ステップST1では回路内部でFETに加えられる電圧範囲の予測値が設定される。具体的には、ゲート・ソース間電圧の最大値 $V_{gmax}$ と最小値 $V_{gmin}$ が設定されると共に、ドレイン・ソース間電圧の最大値 $V_{dmax}$ と最小値 $V_{dmin}$ が設定される。ステップST2においては、ゲート電圧 $V_g$ をゲート・ソース間電圧の最小値 $V_{gmin}$ の電圧値に固定することによりゲート電圧を第1の電圧値に設定する。

【0022】次に、ステップST3において、ドレイン電圧が設定される。具体的には、周波数を1kHzから1MHzの間の任意の値に設定し、最大値が $V_{dmax}$ で最小値が $V_{dmin}$ となるようにドレイン電圧の振幅を設定する。ステップST4においては、ステップST3で設定されたドレイン電圧に対するドレイン電流の値が測定される。

【0023】ステップST5においては、ゲート電圧 $V_g$ がゲート・ソース電圧の最大値の値 $V_{gmax}$ よりも小さいか否かが判断され、電圧 $V_g$ が最大値 $V_{gmax}$ よりも小さいときには、ステップST2で設定された第1の電圧値と所定の関係にある第2の電圧値に変更してステップST3ないしステップST5の動作を繰り返し、電圧 $V_g$ が最大値 $V_{gmax}$ と等しいか大きくなったときのドレイン電流をFETのモデルパラメータとして抽出する（ステップST7）。第1の電圧値と第2の電圧値との所定

の関係は、この第2実施形態においては、図2のステップST6の枠内に記入されているように、「 $V_g = V_g + \Delta V_g$ 」となっている。

【0024】GaAs基板深層の準位は、主にドレイン電圧を変化させたときのドレイン電流の変化（ドレインラグ）に影響を与え、また、GaAs基板表面の準位はゲート電圧を変化させたときのドレイン電流の変化（ゲートラグ）に影響を与えている。GaAs基板のどの程度の深さにおける準位がこれらの現象のそれぞれにどの程度の影響を与えるかについては素子構造によっても異なっており、ドレインラグが強くゲートラグが弱い素子構造や、逆にゲートラグが強くドレインラグが弱い素子構造や、またドレインラグおよびゲートラグの両方が同程度に影響を与える素子構造等、種々の素子構造がある。

【0025】例えば図3に示すような第3実施形態に係る測定装置を用いてFETの各部のデータを測定した例について説明する。図3において、電源1にそのゲートが接続されたFET2のドレインには、抵抗3を介してパルスジェネレータ4が接続されている。抵抗3の両端の接続点には、ドレイン電流を測定するデジタルオシロスコープ5が接続され、測定されたドレイン電流の値はパーソナルコンピュータ6に与えられて、ドレイン電流モデルパラメータの抽出が行なわれる。なおFET2のソースは接地されている。

【0026】図3のような測定装置を用いてFET2のドレインに振幅3Vの正弦波を与え周波数を変化させてドレイン電流を測定した結果が図4に示されている。図3において、100kHzでのドレイン電流は10Hzの測定値に比べて小さい値と成る。また、このように指定測定されたドレイン電流の中で、あるゲート電圧とドレイン電圧におけるドレイン電流の周波数依存特性は図5のようになり、高周波での電流値が減少していることが分かる。これは、化合物半導体基板の深層における準位により、電子が放出される時定数が捕獲される電子の時定数よりも数桁大きいために、高周波の信号が入力されると電子の捕獲のみが進み、その結果基板のポテンシャルが上昇することに起因している。

【0027】そこで、図3に示すような図2に示す手順により、設計しようとする回路内部でFETにかかる電圧のゲート電圧をFETのゲートに与え、基板準位の応答が追従しない程度に高い周波数の信号により与えられたドレイン電流を基にしてパラメータ値を抽出する。ドレインに係る電圧の振幅は、その最大値と最小値が素子を用いて設計しようとする回路の内部で素子にかかる最大値および最小値の電圧と等しくなるように設定する。

【0028】例えば、GaAsMESFETを用いて、動作点がドレイン電圧3V、ゲート電圧0VにあってAB級で動作するパワーアンプを設計する場合を想定する。この回路では、MESFETに係る最大・最小のド

レイン電圧はそれぞれ6Vと0Vとなり、ゲート電圧の最大値と最小値は0.5Vと-0.5Vになるものと予想される。そこで、まずゲート電圧を-0.5Vに固定し、ドレインには最大電圧が6V、最小電圧が0V、周波数が100kHzの正弦波の信号を入力しドレイン電圧に対するドレイン電流を測定する。次に、ゲート電圧を-0.4V、-0.3Vと変化させて、上記と同様にドレイン電圧に対するドレイン電流の値を測定する。このようにして得られたドレイン電流の特性に合致するようにモデルパラメータを抽出する。

【0029】このようにしてパラメータの抽出を行ない、さらに回路シミュレーションを行なうことのできる第4実施形態に係る回路シミュレーション装置について図6を参照しながら説明する。図6に示される回路シミュレーション装置は、図3に示される第3実施形態の測定装置に回路シミュレータ7と、切換手段8とを付加した構成となっている。試料としてのFET2のゲートには電源1よりDC電圧が供給され、ドレインにパルスジェネレータ4より高周波信号が供給されるように切換手段8のモードを設定する。

【0030】図6に示される第4実施形態に係る回路シミュレーション装置を用いて、パワーアンプの設計を行なったところ、回路シミュレーションの結果は測定値に対して5%の誤差であった。一方、従来の装置を用いて、DC電圧測定値に合致するように抽出したパラメータ値を用いてパワーアンプの設計を行ない、回路シミュレーションを行なった結果を測定値と比較すると、最大出力電力に20%の差が生じていることが確認できた。以上のように第2実施形態に係る化合物半導体FETのドレイン電流パラメータ抽出方法およびこれを用いた第4実施形態に係る回路シミュレーション装置によれば、回路シミュレーションの精度が飛躍的に向上していることが確認できた。

【0031】上述したように、素子の構造が異なっているためにゲートラグの現象が強い場合には、図7に示すような第5実施形態に係る回路シミュレーション装置を用いてドレイン電流の評価を行なうようにしても良い。この図7の回路シミュレーション装置は図6に示される第4実施形態の回路シミュレーション装置の切換手段のモードを図6に破線で示すように切替えたものと同一の構成となっている。すなわち、FET2のゲートにはパルスジェネレータ4より高周波信号が供給され、ドレインには抵抗3を介して電源1よりDC電圧が供給されている。

【0032】このような構成を有する回路シミュレーション装置において、ドレイン電流モデルのパラメータを抽出する方法としては、図8に示される第6実施形態に係る抽出方法が用いられる。図8に示される第6実施形態に係るドレイン電流パラメータの抽出方法は、図2に示される第2実施形態に係るドレイン電流パラメータの



抽出方法におけるゲート電圧とドレイン電圧とを入換えた条件となっており、具体的にはステップST2からステップST6までのブロックの内容が異なっている。すなわち、その概略を説明すると、まずドレイン電圧を固定し、ゲート電圧を表面準位の追従しない程度に高周波で与えたドレイン電流のパラメータ値を抽出している。ゲートにかかる電圧の振幅は、その最大値と最小値が素子を用いて設計しようとする回路の内部で、素子にかかる最大値および最小値の電圧と等しくなるように設定すれば第2実施形態に係る抽出方法と同様の効果を期待することができる。

【0033】この図8の第6実施形態に係る抽出方法を用いた回路シミュレーション装置の実際の回路構成としては、図6に示した第4実施形態に係る装置を破線のように接続すればよい。すなわち、FET2のゲートにはパルスジェネレータからの高周波が供給され、ドレインには電源1よりDC電圧が印加されていけばよい。

【0034】また、ゲートラグ、ドレインラグの両方の現象が強く現れる素子構造に対しては、ドレインラグを取り込んだ測定に加えて、ゲートラグの現象をも取り込めるような構成とすればよい。具体的なドレイン電流の抽出方法としては図9に示される第7実施形態に係るパラメータの抽出方法を用いればよい。図9の第7実施形態に係る抽出方法においては、まずステップST1からステップST6までを用いてゲート電圧を固定してドレイン電圧に対するドレイン電流特性を抽出し、次にステップST7からステップST12を用いて定常状態でのドレイン電流の測定を行なった後、ステップST13において、ゲート電圧に対するドレイン電流の特性が定常状態でのドレイン電流特性に対してどの程度の変動量を有するかを算出し、ステップST14において、ドレイン電圧に対するドレイン電流にステップST13で求めた変動量を加えた特性を計算する。

【0035】最後に、ステップST15において、ドレイン電流モデルのパラメータが抽出される。このようにして、ゲート電圧を固定してドレインに高周波信号を加えて測定した結果に加えて、さらにドレイン電圧を固定してゲートに高周波信号を与えてドレイン電流を測定してDC電圧特性に対する差を足し合わせることにより2つの現象に対応するドレイン電流モデルのパラメータの抽出をより精度良く行なうことが可能となる。

【0036】上記第7実施形態に係る抽出方法を用いて回路シミュレーションを行う装置も図6に示される第4実施形態に係る回路シミュレーション装置を適用することができる。この場合、図9に示す第7実施形態の抽出方法を実行するため、図6の装置において、切手手段8をまず実線のように接点A、Bに接続してドレイン電流を測定した後、可動接点を切り換えて切手手段8を破線のように接点A'、B'に接続してから再度ドレイン電流を測定し、それぞれのパラメータを抽出した後に回路

シミュレーションを行なうようにすれば良いので、シミュレーション装置の構成を特別に複雑にすることなく何れか一方の電圧を固定して他方の電圧を可変にする実施形態と同一構成の回路シミュレーション装置により実施が可能となる。

#### 【0037】

【発明の効果】以上詳細に説明したように、本発明に係る化合物半導体FETのドレイン電流パラメータ抽出方法およびこれを用いた回路シミュレーション装置によれば、FETの大信号動作時の特性をより高精度にシミュレーションすることができ、回路シミュレーションの精度を大幅に向上させることができる。その結果、素子を開発するための期間を大幅に短縮することができ、試作ロット回数を削減することができるので、素子開発の効率化に大幅に貢献することが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の基本概念としての第1実施形態に係る化合物半導体FETのドレイン電流パラメータ抽出方法を示すフローチャートである。

【図2】本発明の第2実施形態に係る化合物半導体FETのドレイン電流パラメータ抽出方法を示すフローチャートである。

【図3】本発明の第3実施形態に係る回路シミュレーション装置の概略構成を示すブロック図である。

【図4】図3の装置によりドレイン電圧が10kHzと100kHzでのドレイン電流を比較する特性図である。

【図5】図3の装置におけるドレイン電流のドレイン電圧周波数依存を示す特性図である。

【図6】本発明の第4実施形態に係る回路シミュレーション装置の概略構成を示すブロック図である。

【図7】本発明の第5実施形態に係る回路シミュレーション装置の概略構成を示すブロック図である。

【図8】本発明の第6実施形態に係る化合物半導体FETのドレイン電流パラメータ抽出方法を示すフローチャートである。

【図9】本発明の第7実施形態に係る化合物半導体FETのドレイン電流パラメータ抽出方法を示すフローチャートである。

#### 【符号の説明】

ST1 電圧範囲設定ステップ

ST2 一方電圧固定ステップ

ST3 他方電圧の振幅設定ステップ

ST4 他方電圧に対するドレイン電流測定ステップ

ST5 一方電圧の対最大値判定ステップ

ST6 一方電圧の固定値変更ステップ

ST7 ドレイン電流モデルパラメータ抽出ステップ

1 電源

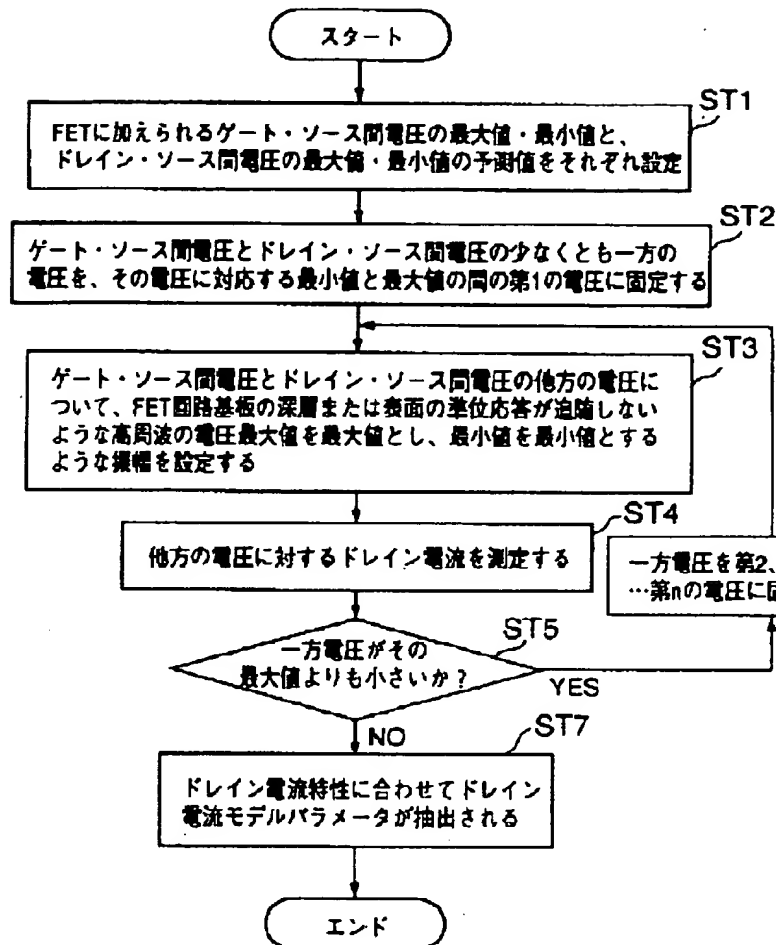
2 FET

3 抵抗

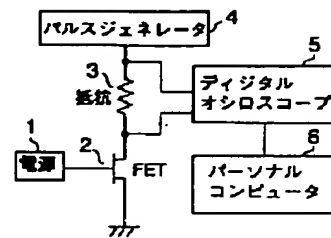
- 4 パルスジェネレータ  
5 デジタルオシロスコープ  
6 パーソナルコンピュータ

- 7 回路シミュレータ  
8 切換手段

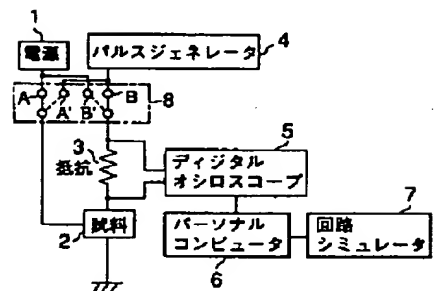
【図1】



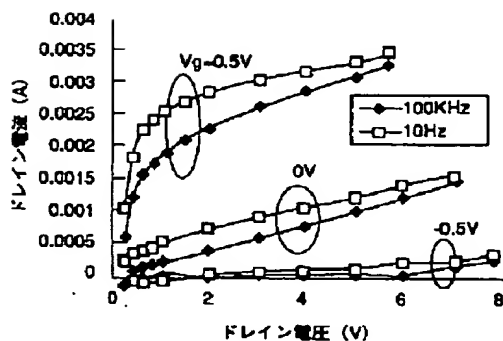
【図3】



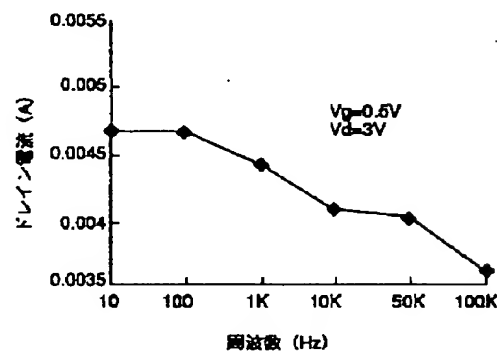
【図6】



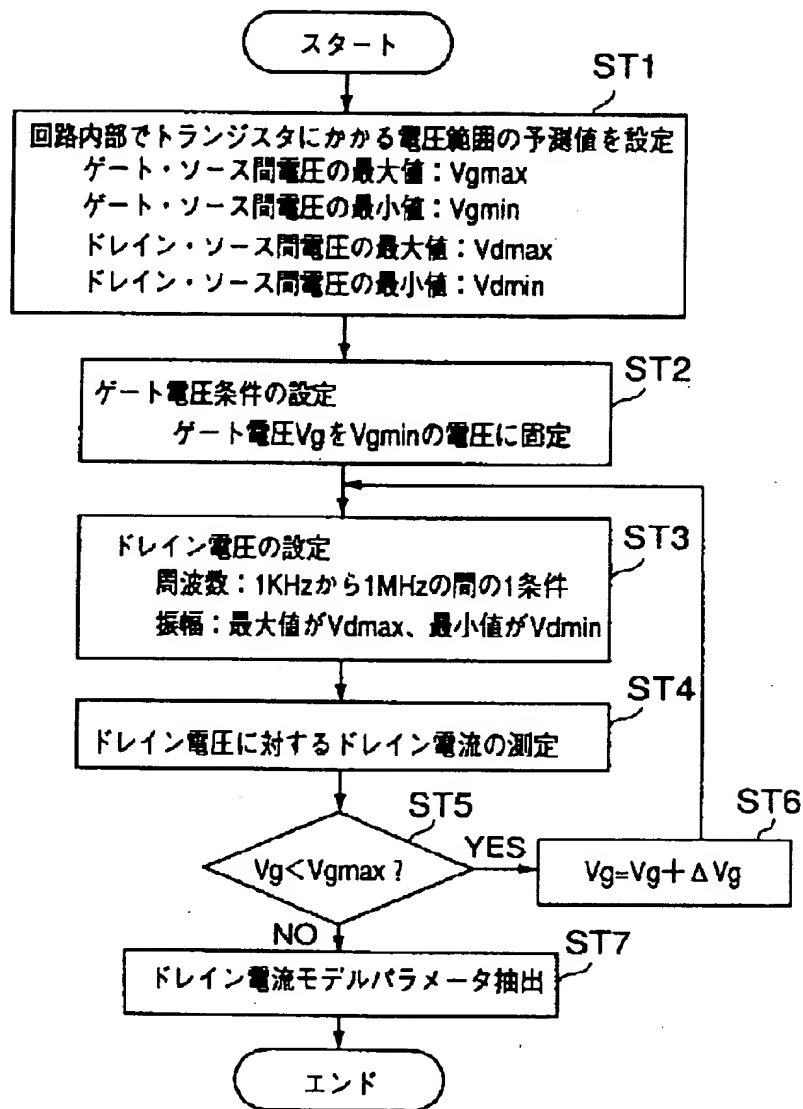
【図4】



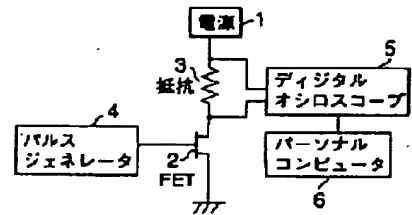
【図5】



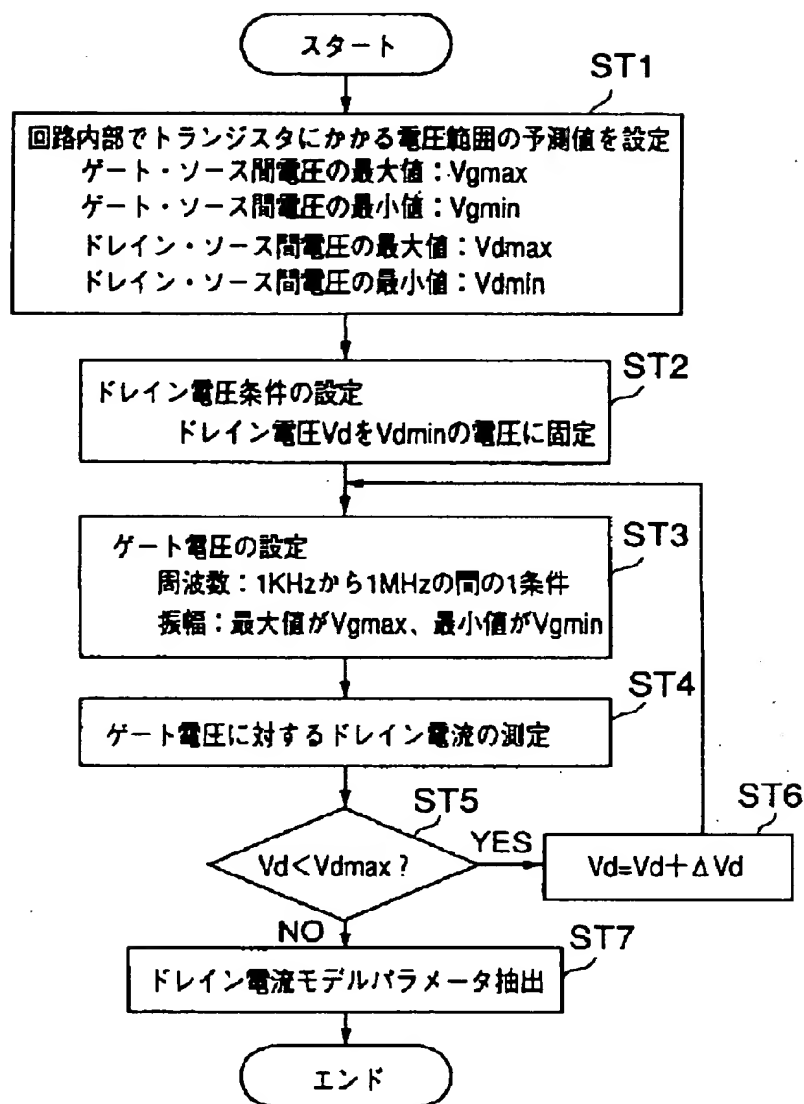
【図 2】



【図 7】



【図8】



【図9】

